

Hardware/Software Co-Design



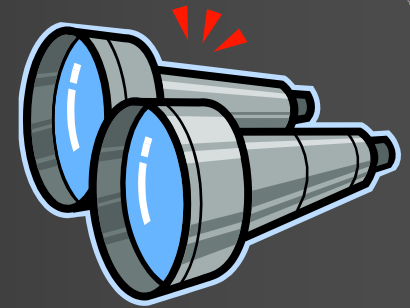
Vorbesprechung

Andreas Steininger

Robert Najvirt

Thomas Polzer

Überblick



Anmeldung erforderlich

▶ 182.700 Vorlesung mit Übung:

Betreuer: A. Steininger

▶ 182.701 Laborübung:

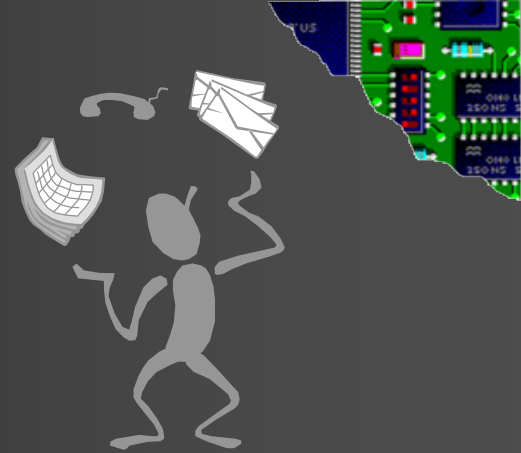
Betreuer: R. Najvirt & T. Polzer

▶ Abhaltung:

organisatorisch: getrennte LVAs, getrennte Beurteilung

inhaltlich: gemeinsame Absolvierung empfohlen

VU: Organisatorisches



- ▶ **Betreuer:**
A. Steininger
Email: hws@ecs.tuwien.ac.at
- ▶ **Betreuung:**
„Sprechstunden“ nach Vereinbarung
- ▶ **VO Ort:**
HS 14A, Hauptgebäude Stg. 3 / 3.Stock
- ▶ **VO Zeit:**
 - Dienstag: 11:00 bis 13:00

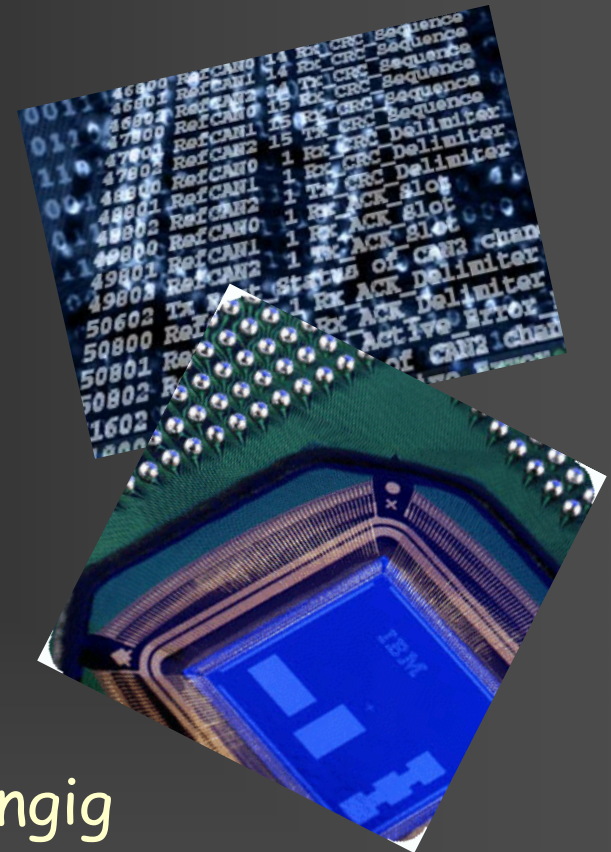
Voraussetzungen

Inhaltlich:

- ▶ gute Kenntnisse in VHDL
günstig: HW-Modellierung
- ▶ Kenntnis des FPGA-Design Flow
günstig: DiDeVO & DiDeLU

Formal:

- ▶ VO, LU und Vorauss. formal unabhängig
- ▶ im Magister-Studienplan Techn. Informatik



Ziele



▶ folgende Kompetenzen sollen vermittelt werden:

- den Prozess einer Optimierung verstehen
- relevante Problemfelder für ein optimiertes HW/SW Partitioning verstehen (Echtzeit, Leistungsverbrauch, Fehlertoleranz, Zertifizierbarkeit, etc.)
- die jeweiligen Vor und Nachteile von HW bzw. SW Lösungen in diesem Problemfeld verstehen und eine passende Entscheidung treffen (und umsetzen [LU])
- moderne Methoden für kombinierte HW/SW Entwicklung kennen

Konzeption der LVA



► Inhalte:

- Hardware vs. Software
- in diversen Aspekte des Embedded Systems Engineering

► interaktive Gestaltung:

- Frontalvorträge (auch Gastvorträge)
- Homeworks: Erarbeitung eines Themas
- Vorträge der Teilnehmer
- gemeinsame Diskussionen
- Präsentation der Ergebnisse der LU

Der Vortrag (1)



▶ Inhalt

- Fragenliste zum Thema als Richtungsvorgabe
- eigener Beitrag erwünscht -- beim Thema bleiben
- Überlappung mit anderen Themen beachten
- interessant gestalten: Praxisbeispiele,...

▶ Recherche

- nicht mehr als 10% Vorlesungsfolien & Lehrbuch!

▶ Diskussion

- eigene Meinung bilden und begründen
- Bezug zu HW/SW-Codesign im Auge behalten

Der Vortrag (2)



▶ Aufteilung

- jeder in der Gruppe liefert Beitrag und trägt diesen auch vor

▶ Ablauf

- Recherche & Diskussion in der Gruppe
- Rücksprache über Inhalt (spätestens 1 Woche vor Vortrag!)
- Ausarbeitung der Folien
- Absenden der Folien (Mo vor dem Vortrag, 8:00)
- Vortragsdauer ca. 30 min

Der Vortrag - Beurteilung

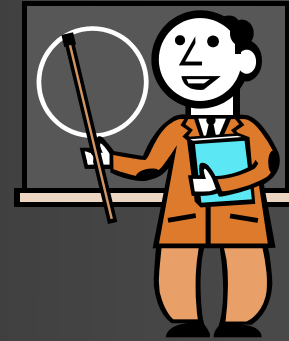
Kriterium	Detail	Gewicht	Punkte
Recherche	Anzahl wiss. Referenzen (min 5)	10	
	Relevanz für Thema & die LVA	10	
Leitfragen	vollständige Abdeckung	30	
Foliengestaltung	Optik (überladen?,...)	10	
	Inhalt (alles Relevante drauf?)	10	
Vortragsstil	Publikumskontakt	5	
	lebendig?	5	
	deutlich?	5	
	Ticks? (ähm,...)	5	
Diskussion	gute Initiierung?	5	
	Antwort auf Fragen	5	

Das Protokoll



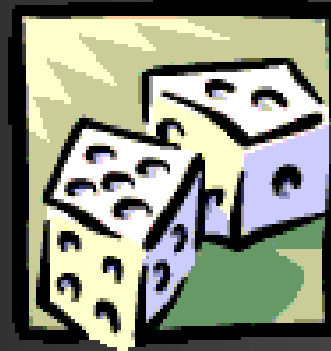
- ▶ **wesentliche Punkte aus dem Vortrag**
 - Einbeziehung der Folien
- ▶ **wesentliche Punkte aus der Diskussion**
 - was wurde diskutiert
 - was waren die Schlussfolgerungen
- ▶ **Ergebnis: vollständige Lernhilfe für Prüfung**
- ▶ **NICHT erforderlich**
 - eigener inhaltlicher Beitrag
 - eigene Sichtweise (sofern nicht in Diskussion geäußert)

Abwicklung VU



- Di 8.10. Besprechung Angabe LU
- Di 15.10. Vortrag & Gruppendiskussion
- Di 22.10. V
- Di 29.10. V
- Di 5.11. V
- Di 12.11. V
- Di 19.11. V
- Di 26.11. V
- Di 3.12. V
- Di 10.12. V
- Di 17.12. V
- Di 7.01. Gastvortrag 1
- Do 14.01. Gastvortrag 2
- Di 21.01. Vortrag/Diskussion LU-Ergebnisse
- Di 28.01. Prüfung

Benotung VU



▲ Kriterien:

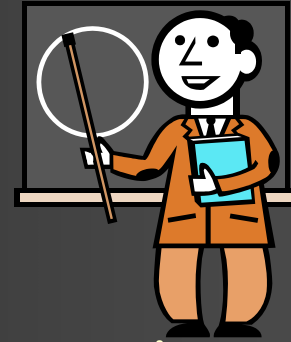
- eigener Vortrag (35%)
- Protokoll (15%)
- Teilnahme an der Diskussion in der VU (extra)
- Abschlussprüfung (50%)

Vortragsthemen



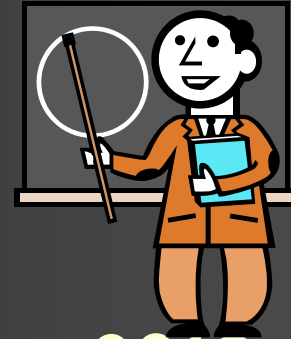
1. HW vs SW - ein erster Vergleich +
2. Komplexitätsmanagement ~
3. Virtual Prototyping
4. HW/SW Entwurfssprachen am Beispiel System-C
5. Echtzeitverhalten & Performance +
6. Energieverbrauch und Verlustleistung
7. Fehlerraten, Fehlererkennung +
8. Fehlertoleranz & Robustheit
9. Security
10. Zertifizierung
11. Mixed-Criticality Systems ~

Übersicht LU



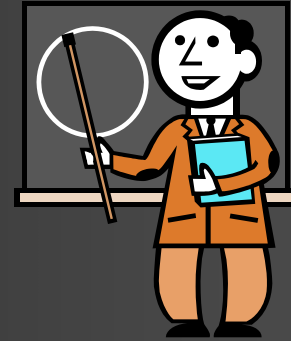
- ▶ Applikation: Video von einer SD-Karte lesen, dekomprimieren und am Display anzeigen
- ▶ Plattform: Terasic DE2-115 Board mit Altera FPGA; 4.3" LCD Display; Alteras Nios II Soft-Prozessor
- ▶ Aufgabe: Applikation implementieren und optimieren
 - Aufteilen auf HW und SW
 - Implementierungskosten minimieren (LUTs, Register, Speicher, Performance)

Abwicklung LU



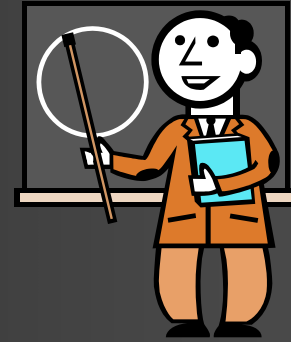
- ▶ Anmeldung in MyTI - bis 9. Oktober 2013
- ▶ 3er Gruppen bilden - in MyTI Gruppenmitglieder angeben
- ▶ Aufgabestellung - 8. Oktober 2013 (HS 14A)
- ▶ Kennenlernaufgabe implementieren und den Tutoren zeigen
- ▶ Hauptapplikation implementieren und
 - Code in MyTI hochladen
 - kurze Präsentation vor anderen Gruppen halten
 - Abgabegespräch absolvieren

Abwicklung LU



- ▶ Arbeitsplätze im TI-LAB, Raum 1
 - Ohne Reservierung - First come, First served
 - Tutorenslots werden auf Webseite veröffentlicht
 - Accounts bei Tutoren abzuholen
- ▶ Arbeiten von zuhause
 - Alle Tools frei verfügbar
 - ssh -X auf Laborrechner (FPGA nicht programmieren!)

Organizatorisches LU



▶ Betreuer:

- Robert Najvirt
- Thomas Polzer

▶ Tutoren:

- Markus Schütz
- Florian Huemer

▶ Bei Fragen:

- Technisch: HW/SW Codesign Forum in TISS
- Organizatorisch: hsw@ecs.tuwien.ac.at