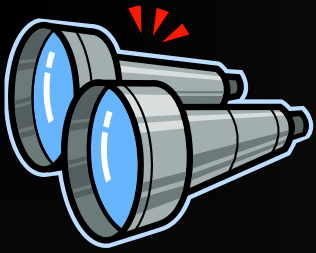


# Defekte & Fehler



Warum auch Chips  
nicht ewig leben





# Überblick

- ▶ Klassifikation der Ausfallmechanismen
- ▶ Wichtigste Ausfallursachen im Betrieb
  - Gate-oxid wear-out
  - Elektromigration
  - Electrostatic Discharge
- ▶ Welche Faktoren begünstigen den Ausfall?
- ▶ Die Badewannenkurve & Burn-in
- ▶ Fehlermanifestation & Test

# Fehlerquellen im Aufwind

---

- ▶ Wachsender Zeitdruck beim Design
- ▶ Zunehmender Anteil von Fremd-Design
- ▶ Steigende Komplexität
- ▶ Kleinere Strukturgrößen
- ▶ Sinkende Versorgungsspannung
- ▶ Steigende Taktraten
- ▶ Widrige Umgebungsbedingungen
- ▶ Laien als Anwender, ...

# Fehlertypen im Lebenszyklus



## ▶ Designfehler

- Fehlerhafte Spezifikation bzw. Fehler b. deren Umsetzung
- **Abhilfe:** Validation und Simulation  
Test ist ungeeignet weil zu spät !

## ▶ Fertigungsfehler (Defekte)

- Fehler b. d. physikal. Realisierung eines korrekten Designs
- **Abhilfe:** Erkennen von Defekten im „Factory-Test“

## ▶ Fehler im Betrieb (Ausfälle)

- Ausfall einer Komponente während des Einsatzes (Umwelteinflüsse, Alterung)
- **Abhilfe:** on-line Fehlererkennung, Fehlertoleranz

# Fertigung & Integration



## Ursachen für Ausfälle noch vor dem Einsatz:

- ▶ **Wafer:** Verunreinigungen, Kristalldefekte, Microcracks, ...
- ▶ **Prozesse:** Masken-Alignment, Unterätzung, Ionen, ...
- ▶ **Packaging:** Hohlräume, Bonding-Defekte, Microcracks
- ▶ **Transport:** Handhabung, Umweltbedingungen
- ▶ **Bestückung:** Handhabung, Kurzschlüsse, kalte Lötstellen,...
- ▶ **Inbetriebnahme/Systemintegration:** Buskonflikte,...



# Fehlertypen im Lebenszyklus

---

## ▶ Designfehler

- Fehlerhafte Spezifikation bzw. Fehler b. deren Umsetzung
- Abhilfe: Validation und Simulation  
Test ist ungeeignet weil zu spät !

## ▶ Fertigungsfehler (Defekte)

- Fehler b. d. physikal. Realisierung eines korrekten Designs
- Abhilfe: Erkennen von Defekten im „Factory-Test“

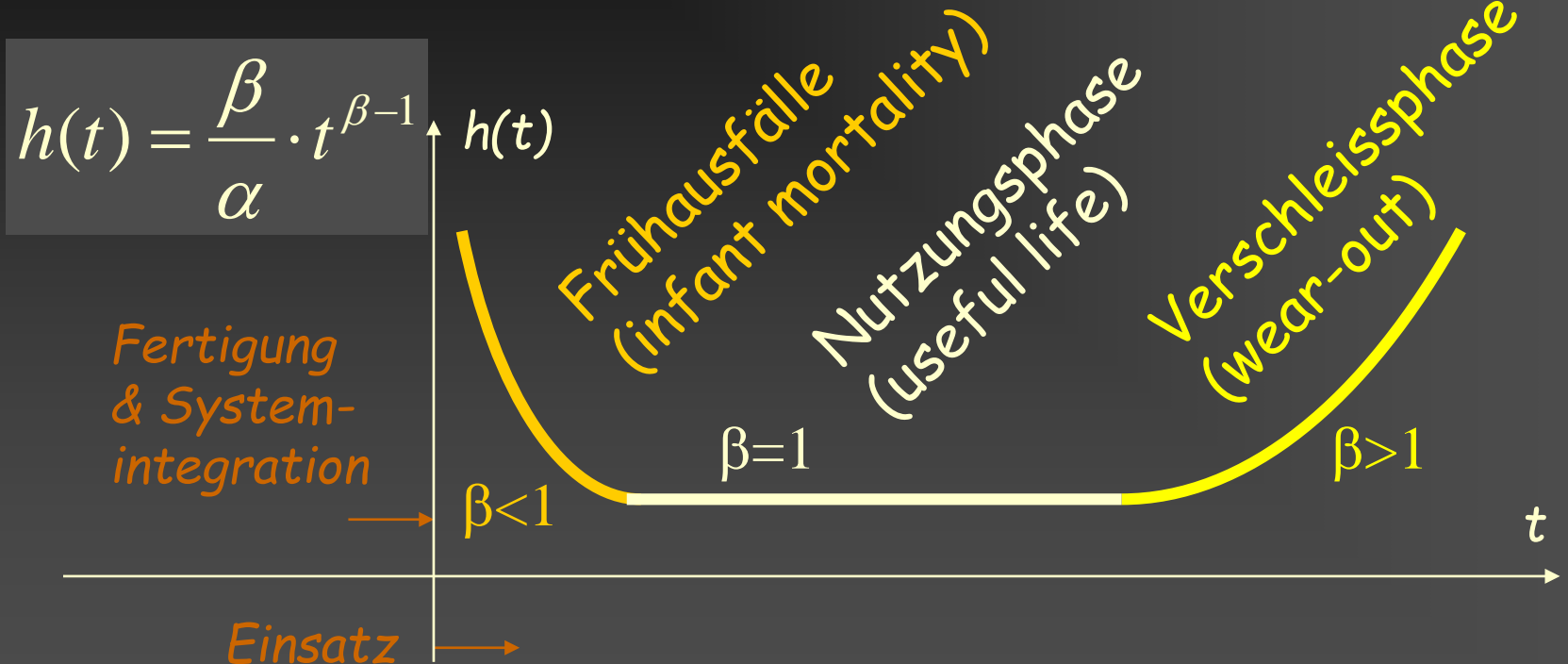
## ▶ Fehler im Betrieb (Ausfälle)

- Ausfall einer Komponente während des Einsatzes (Umwelteinflüsse, Alterung)
- **Abhilfe:** on-line Fehlererkennung, Fehlertoleranz

# Die „Badewannenkurve“



Wahrscheinlichkeit  $h(t)$  dass ein Produkt bis zum Zeitpunkt  $t$  gut funktioniert und exakt dann ausfällt, gehorcht der sog. „Weibull-Verteilung“



# Fehlerursachen im Einsatz



## ▶ Electrical Stress

durch unsachgemäßes Handling, Design, etc.  
auftreten kontinuierlich über die Lebensdauer

## ▶ Intrinsic

durch Material- oder Prozessfehler bedingt  
meist als infant Mortality, selten Wear-out

## ▶ Extrinsic

durch Verbindungen, Passivierung, Packaging  
oder Umweltbedingungen  
tritt in allen Phasen auf (yield loss ... wear-out)



# Electrical Stress



## ▶ Electrostatic Discharge (ESD)

Elektrostatische Entladung führt zu Strom- oder Spannungsspitzen mit Dauer  $0,1\text{ns} \dots 1\mu\text{s}$

## ▶ Electrical Overstress (EOS)

zu hohe Spannung / zu hohen Strom für Zeitdauer  $> 1\mu\text{s}$  (typ.  $> 1\text{ms}$ )

## ▶ Latch-up

Spannungsspitze zündet parasitären Thyristor

# Elektrostatische Entladung



## ▲ Ursache:

- unsachgemäße Handhabung (Erdungsband!)

## ▲ mögliche Folgen:

- Durchbruch oder Beschädigung des Gate-Oxid
- therm. Zerstörung durch hohe Drainströme

## ▲ Abhilfe:

- Klemmdioden (clamp diodes)
- Spezielle Geometrien und Dotierungen

# Electrical Overstress



## ► Ursachen:

- Spannungsspitzen in der Versorgung
- Überspannungen durch Blitzschlag
- schlechtes Design („out of spec“)

## ► mögliche Folgen:

- therm. Zerstörung durch hohe Drainströme
- Durchbruch oder Beschädigung des Gate-Oxid

## ► Abhilfe:

- gut geschützte stabile Versorgung
- „konservatives“ Design

# Latch-Up



## ▶ Ursache:

In den Strukturen am Chip treten unerwünschte Thyristor-Strukturen auf, die durch Über- oder Unterschwingen der Eingangsspannung bzw. der Versorgung gezündet werden können.

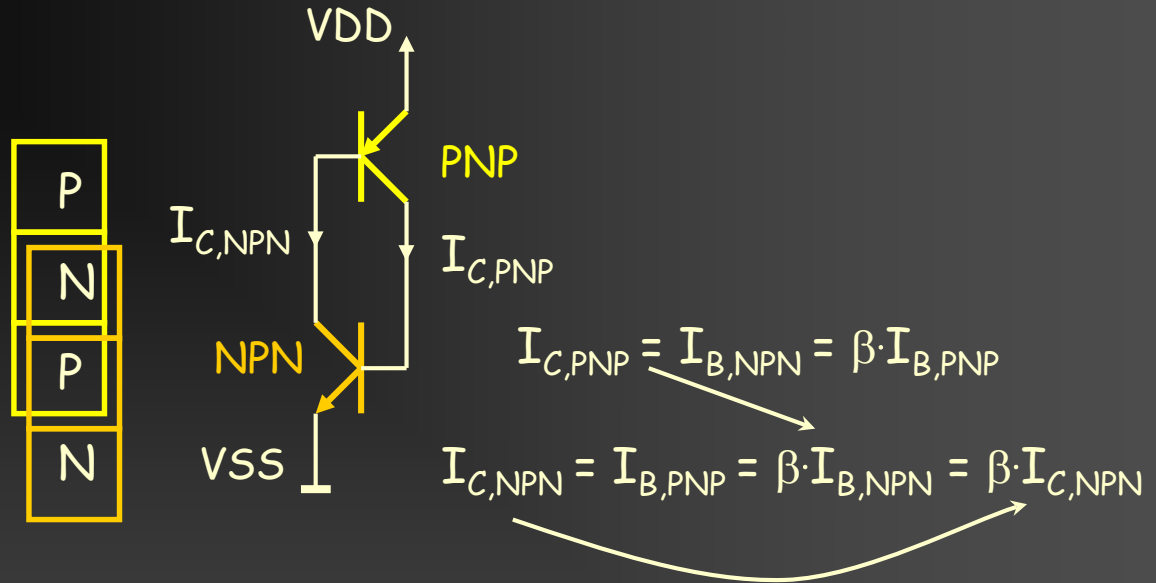
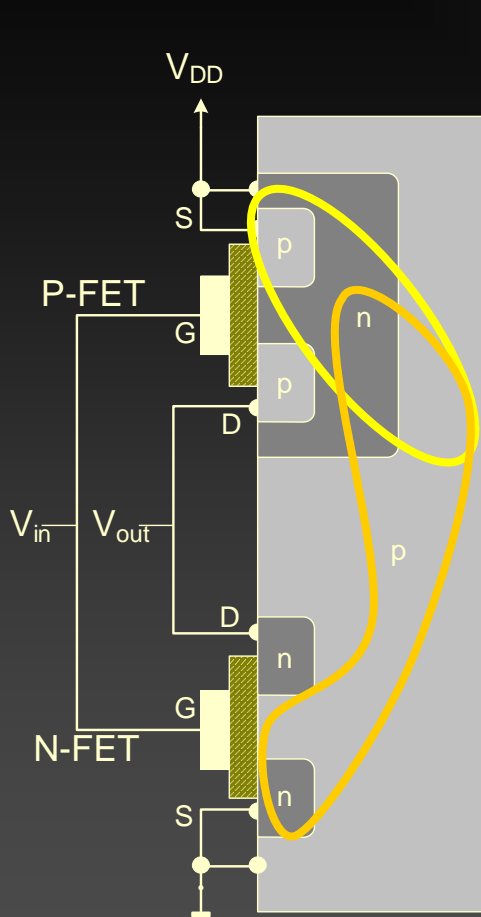
## ▶ mögliche Folgen:

thermische Zerstörung durch zu hohe Ströme

## ▶ Abhilfe:

Kann durch spezielle Maßnahmen („Latch-up Protection“) im Design vermieden werden.

# Latch-up beim CMOS Inverter



Für Stromverstärkung  $\beta > 1$  schaukeln sich die parasitären Transistoren gegenseitig zu hohen Strömen auf

# Fehlerursachen im Einsatz



- ✓ Electrical Stress:
  - ✓ Electrostatic Discharge
  - ✓ Electrical Overstress
  - ✓ Latch-Up

## ▶ Intrinsic

durch Material- oder Prozessfehler bedingt  
meist als infant Mortality, selten Wear-out

## ▶ Extrinsic

durch Verbindungen, Passivierung, Packaging  
oder Umweltbedingungen

# Intrinsische Fehlerquellen



- ▶ **Gate-oxide Wear-out**  
schlechtes Gate-oxid, oftmaliges Programmieren
- ▶ **Ionic contamination**  
Verunreinigungen stören Ladungsverhältnisse
- ▶ **Oberflächenladungen**  
Ladungen im Isolator (z.B. „heisse Elektronen“)
- ▶ **Kristalldefekte**  
Leckströme an gesperrten pn-Übergängen
- ▶ **Piping**  
durch Störstellen induzierte Strompfade

# Gate-Oxide wear-out



## ▶ Wear-out:

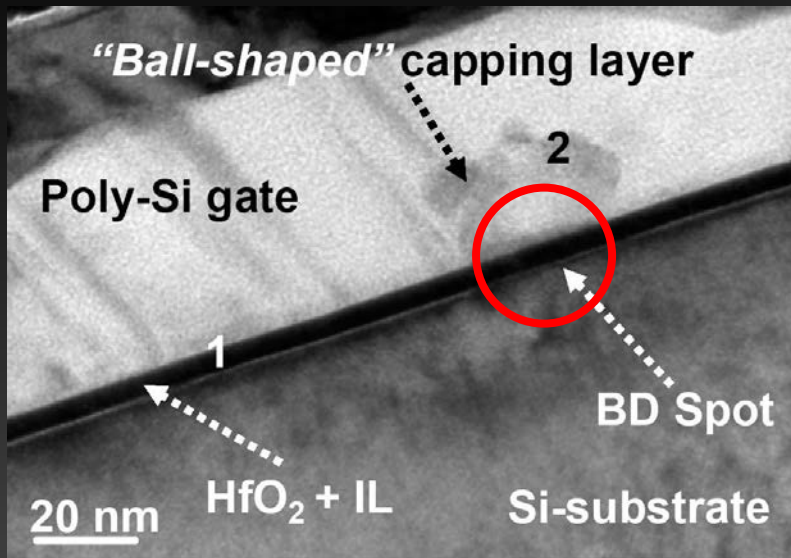
- Störstellen im Gate-oxid bilden „Stützpunkte“ für Ladungsträger im Isolator
- => verminderte effektive Dicke des Isolators
- => drastisch erhöhte Tunnelströme („Leakage“)

## ▶ Breakdown:

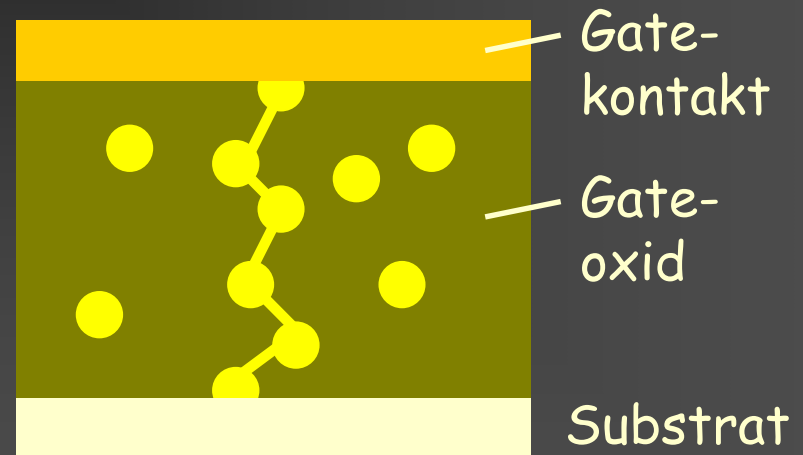
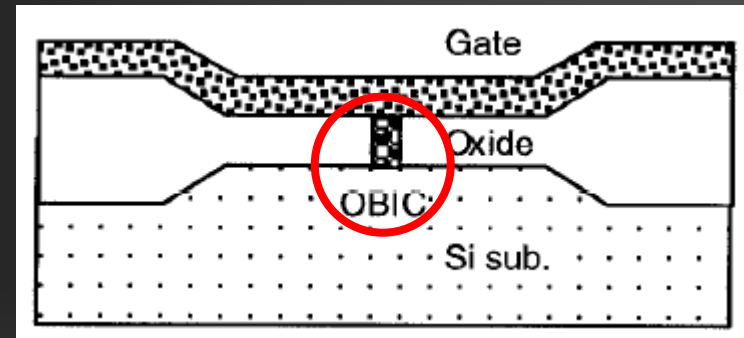
- Ausbildung von Strompfaden und weiteren Störstellen
- Bildung eines durchgängigen Strompfades
- => Durchbruch des Isolators



# Gate-Oxid-Breakdown: Bilder



Quelle: SPIE society  
<http://www.spie.org>



# Fehlerursachen im Einsatz

- ✓ Electrical Stress:
  - ✓ Electrostatic Discharge
  - ✓ Electrical Overstress
  - ✓ Latch-Up

- ✓ Intrinsic

durch Material- oder Prozessfehler bedingt  
Beispiel: ✓ Gate-Oxide wear-out

- ▶ Extrinsic

durch Verbindungen, Passivierung, Packaging  
oder Umweltbedingungen

tritt in allen Phasen auf (yield loss ... wear-out)

# Extrinsische Fehlerquellen / 1

## ▶ Elektromigration

Wanderung v. Metall-Atomen durch hohe Stromdichte

## ▶ Kontaktmigration

Diffusion Metall/Si am Kontakt dch. hohe Stromdichte

## ▶ Stress-induzierte Migration

Wanderung v. Metall-Atomen infolge mechanischer Beanspruchung (z.B. „thermal Mismatch“)

## ▶ Microcracks

mechanische Bruchstellen

# Extrinsische Fehlerquellen /2

- ▶ **Die attach Failures**  
unerwünschte Hohlräume => Korrosion, Überhitzung
- ▶ **Bonding Failures**  
Reißen, Ablösen, Kurzschluß, Whisker
- ▶ **Popcorn Effect**  
Ausdehnung von Feuchtigkeit => Die bricht
- ▶ **Korrosion**  
chemische Effekte (bei Wärme, Feuchtigkeit, Ionen)
- ▶ **Soft Errors**  
Bit-Flips durch Strahlung (Luftfahrt, Gehäuse! )

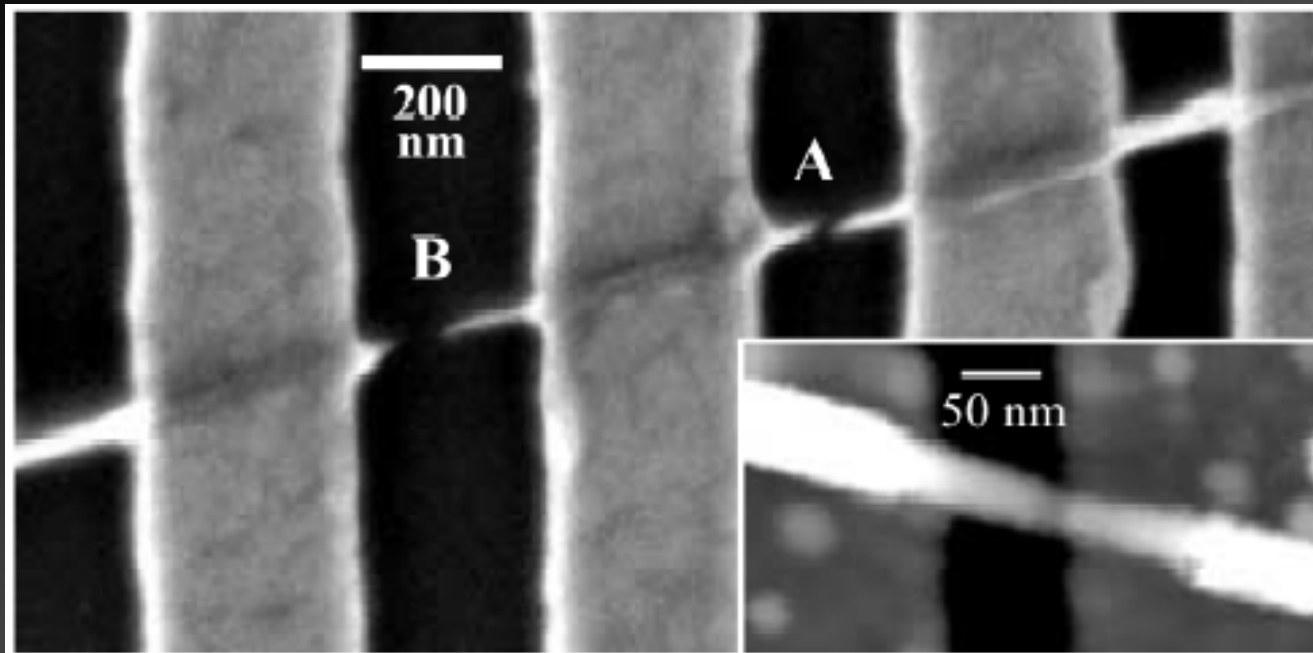
# Elektromigration: Prinzip

Bei hoher Stromdichte bildet die Vielzahl von rasch bewegten Elektronen einen sog. „**Elektronenwind**“, der durch Stoßprozesse die Atome bewegt und dadurch mit der Zeit Material verschiebt.



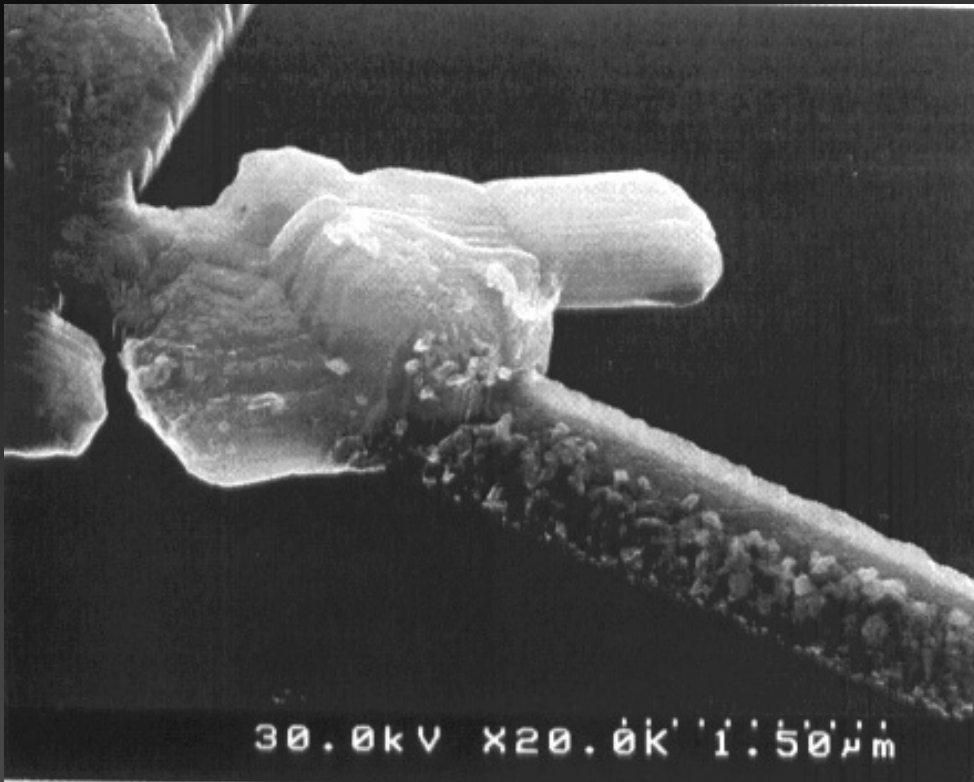
Elektromigration betrifft also nur leitende Materialien. Der Materietransport findet in der **Bewegungsrichtung** der Elektronen statt.

# Electromigration: Voiding



Abwanderung von Material führt zu Unterbrechungen (siehe A und B)

# Electromigration: Hillocks



Anlagerung von Material führt zu unerwünschten Auswüchsen („Hillocks“) an Materialgrenzen

# Ausmaß der Elektromigration

Black's Law:

$$MTTF = \frac{A}{J^2} \exp\left(\frac{E}{kT}\right)$$

J...Stromdichte [ $A/cm^2$ ],  $E_{act} = 0.5 \dots 1.5eV$ , A ... Konstante  
T...Temperatur [K], k ... Boltzmann-Konst. =  $8.6 \cdot 10^{-5}eV/K$

➔ Hohe Temperatur und hohe Stromdichte begünstigen Elektromigration und führen daher zu höheren Defektraten. Die Stromdichte geht quadratisch ein, die Temperatur exponentiell.

(Beobachtung: Kurze Leitungen sind weniger anfällig)



# Zuverlässigkeits-Kenngrößen

## ▶ Fehlerrate

Beschreibt Häufigkeit des Auftretens von (unkorrelierten) Fehlern (z.B.:  $10^{-6}/h$ )

## ▶ Reliability $R(t)$

Wahrscheinlichkeit, dass das System nach erfolgreichem Start bei  $t = 0$  zum Zeitpunkt  $t = t_1$  noch ordnungsgemäß funktioniert (z.B.:  $R(3h) = 0,2$ )

## ▶ Mean Time to Failure (MTTF)

Erwartungswert der Betriebsdauer von erfolgreichem Start bis zum Ausfall (z.B.:  $10^7h$ )

# Black's Law - Beispiel 1



## ► Problem:

Um wie viel reduziert sich die MTTF einer metallischen Verbindung im Chip aufgrund der Elektromigration, wenn sie aufgrund eines Fertigungsfehlers nur den halben Querschnitt aufweist?

## ► Lösung:

- Halber Querschnitt => doppelte Stromdichte  $J$
- MTTF ist proportional  $1/J^2$  (Black's Law)
- MTTF wird daher auf  $1/2^2 = 25\%$  reduziert

# Black's Law - Beispiel 2

## ► Problem:

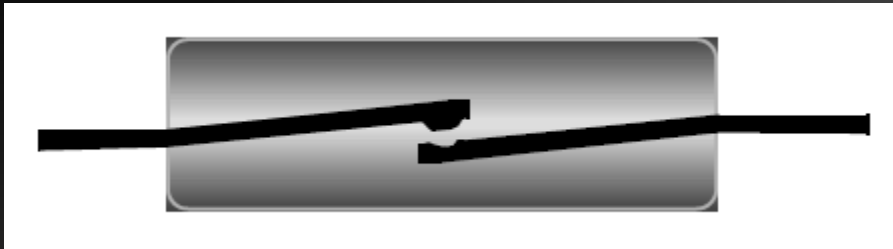
Auf wie viel reduziert die Elektromigration die MTTF einer Al-Verbindung ( $E_{act}=0.7\text{eV}$ ) in einem Commercial-Chip (bis  $70^\circ\text{C}$ ), wenn er im Military-Temperaturbereich betrieben wird ( $125^\circ\text{C}$ )?

## ► Lösung:

$$\frac{MTTF_{mil}}{MTTF_{com}} = \frac{\cancel{A}}{\cancel{J^2}} \cdot \frac{\exp\left(\frac{E}{k \cdot (125 + 273)K}\right)}{\exp\left(\frac{E}{k \cdot (70 + 273)K}\right)} \approx \frac{1}{26} \approx 4\%$$

Annotations:  $8.6 \cdot 10^{-5} \text{ eV/K}$  points to  $k$ ;  $E$  is circled in orange;  $k \cdot (125 + 273)K$  is circled in blue.

# Electromigration: Beispiel



[Agilent]

- ▶ Kontakt eines Reed-Relais altert durch Electromigration (Kontaktwiderstand  $\uparrow$ )
- ▶ tritt nur bei Gleichstrom auf, nicht bei Wechselstrom
  - ➔ für Wechselstrom sind höhere Werte zulässig als für Gleichstrom

# Dehnungskräfte im Chip

- ▶ Ein Cu-Stab hat bei 430°C (Aufbringen der Passivierung) die Länge  $L + \Delta L$ , bei 30°C Länge  $L$ .  
Berechne die relative Längenänderung  $\varepsilon = \Delta L / L$ !  
 $\varepsilon = \Delta L / L = \alpha_{Cu} * \Delta T = 16,5 * 10^{-6} / ^\circ C * 400^\circ C = 0,66\%$
- ▶ Welche Kraft müsste man aufbringen, um bei 30°C die Länge  $\Delta L + L$  beizubehalten? ( $E_{y,Cu} = 120 \text{ GPa}$ )  
 $\sigma = \varepsilon * E_y = 0,0066 * 120 * 10^9 \text{ Pa} = 792 \text{ MPa}$   
zum Vergleich: Cu reißt bei ca. 300 MPa  
bei Querschnitt  $2,5 \text{ mm}^2 \Rightarrow 792 \text{ MN/m}^2 * 2,5 \text{ mm}^2 = 1980 \text{ N}$   
(entspricht einem Gewicht von 195 kg)

# Folgen der Dehnungskräfte



- ▶ Die enormen Dehnungskräfte führen zu
  - mechanischen Bruchstellen im Silizium-Die (Microcracks)
  - Stress-induzierter Migration
- ▶ Diese Kräfte treten auf
  - besonders bei der **Fertigung**, aber auch
  - durch Temperaturschwankungen in der **Umgebung** (auch bei Lagerung!) bzw.
  - bei Erwärmung infolge **Leistungsverbrauch**.

# Stress-induzierte Migration



## ▶ Effekt:

Materialwanderung infolge  
mechanischer Spannung

## ▶ Ursache:

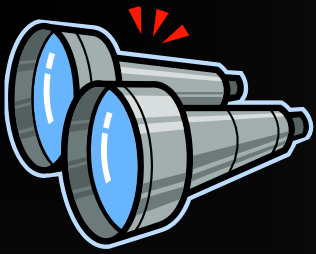
Unterschiede im Dehnungsverhalten (Dehnungs-  
koeffizienten) verschiedener Materialien

## ▶ Folge:

Unterbrechungen durch „Voids“

## ▶ Besonderheit:

Tritt auch im ausgeschalteten Zustand auf



# Überblick

- ▶ Welche Ursachen für Ausfälle gibt es?
- ▶ Fehlerquellen im Lebenszyklus von Chips
- ▶ Klassifikation der Ausfallmechanismen
- ▶ Wichtigste Ausfallursachen im Betrieb
  - Gate-oxid wear-out
  - Elektromigration
  - Electrostatic Discharge
- ▶ Welche Faktoren begünstigen den Ausfall?



# Hitliste der Ausfallursachen



## #1: Gate oxide wear out

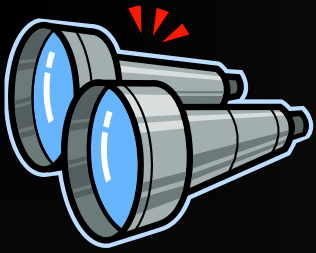
- Wichtigster Alterungsdefekt, bremst Miniaturisierung, hohe Forschungsaktivität

## #2: Electromigration

- Hat Ende der 60er Jahre fast die Halbleiterindustrie gestoppt, nun technologisch im Griff

## #3: Electrostatic Discharge

- ▶ Die MTTF eines Designs lässt sich „einstellen“. Beim Design muss stets ein Kompromiss zwischen Performance, MTTF und Preis getroffen werden!



# Überblick

- ▶ Klassifikation der Ausfallmechanismen
- ▶ Wichtigste Ausfallursachen im Betrieb
  - Gate-oxid wear-out
  - Elektromigration
  - Electrostatic Discharge
- ▶ Welche Faktoren begünstigen den Ausfall?
- ▶ Die Badewannenkurve & Burn-in
- ▶ Fehlermanifestation & Test

# Wie baut man kurzlebige Chips?



- ▶ Unreines Wafermaterial, Kristalldefekte
- ▶ Verunreinigungen durch Prozesse
- ▶ Dünnes, unreines Gate-oxid
- ▶ Metallisierung mit geringem Querschnitt
- ▶ fehlender ESD-Schutz
- ▶ fehlender Schutz gegen Latch-up
- ▶ undichtes Package

# Wie provoziert man Ausfälle ?



- ▶ hohe Temperaturen
  - Elektromigration, Korrosion, ...
- ▶ Temperaturzyklen
  - Dehnungskräfte
- ▶ hohe Spannung
  - Hohe Feldstärken, starke Beanspruchung des Gate-Oxide, Erwärmung,...
- ▶ hohe Strombelastung
  - Hohe Verlustleistung => Erwärmung, Elektromigration
- ▶ unprofessionelles Handling (ESD)
- ▶ Betrieb hart an den / jenseits der Grenzwerte

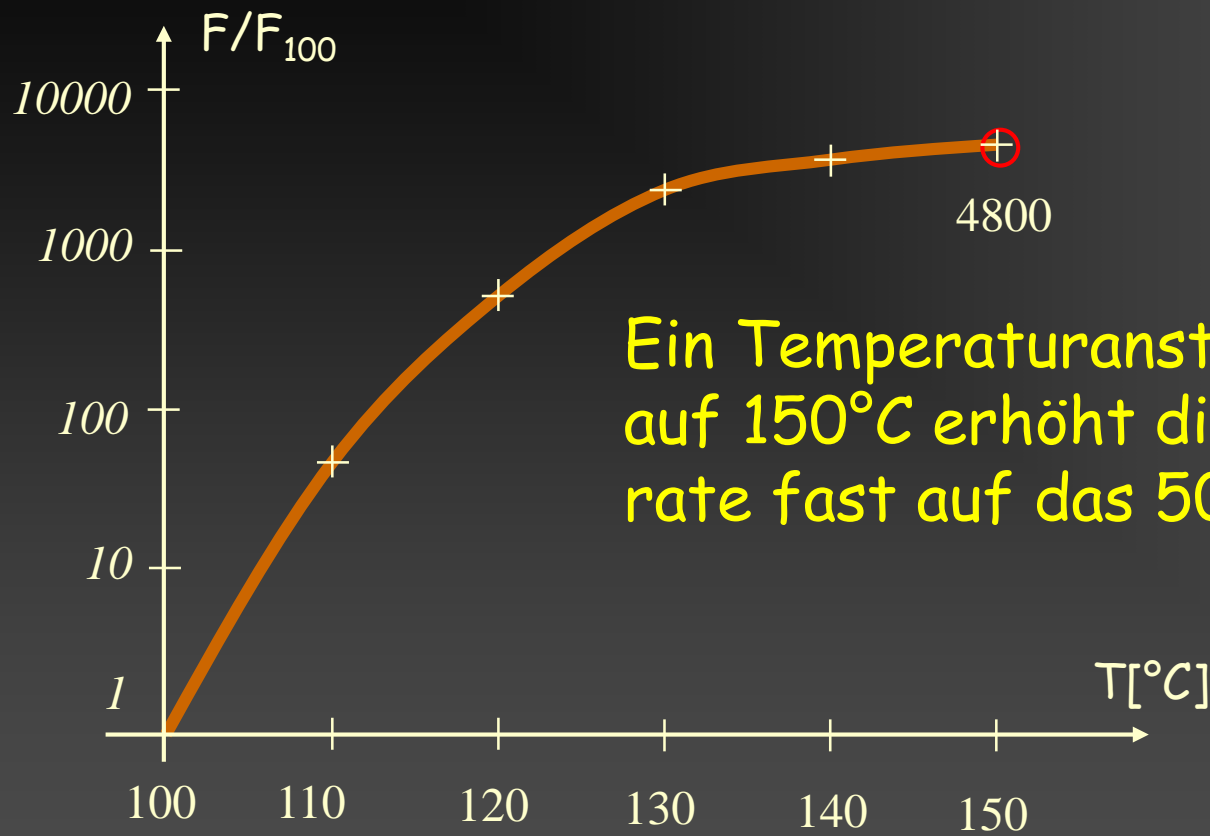
# Arrhenius-Gleichung

Für viele Fehlermechanismen gilt:

Fehlerrate  $F = C \cdot \exp\left(\frac{-E_{act}}{k \cdot T}\right) = \frac{1}{MTTF}$

Eine Temperaturerhöhung bewirkt ein exponentielles Ansteigen der Fehlerrate !

# Arrhenius: Messergebnisse

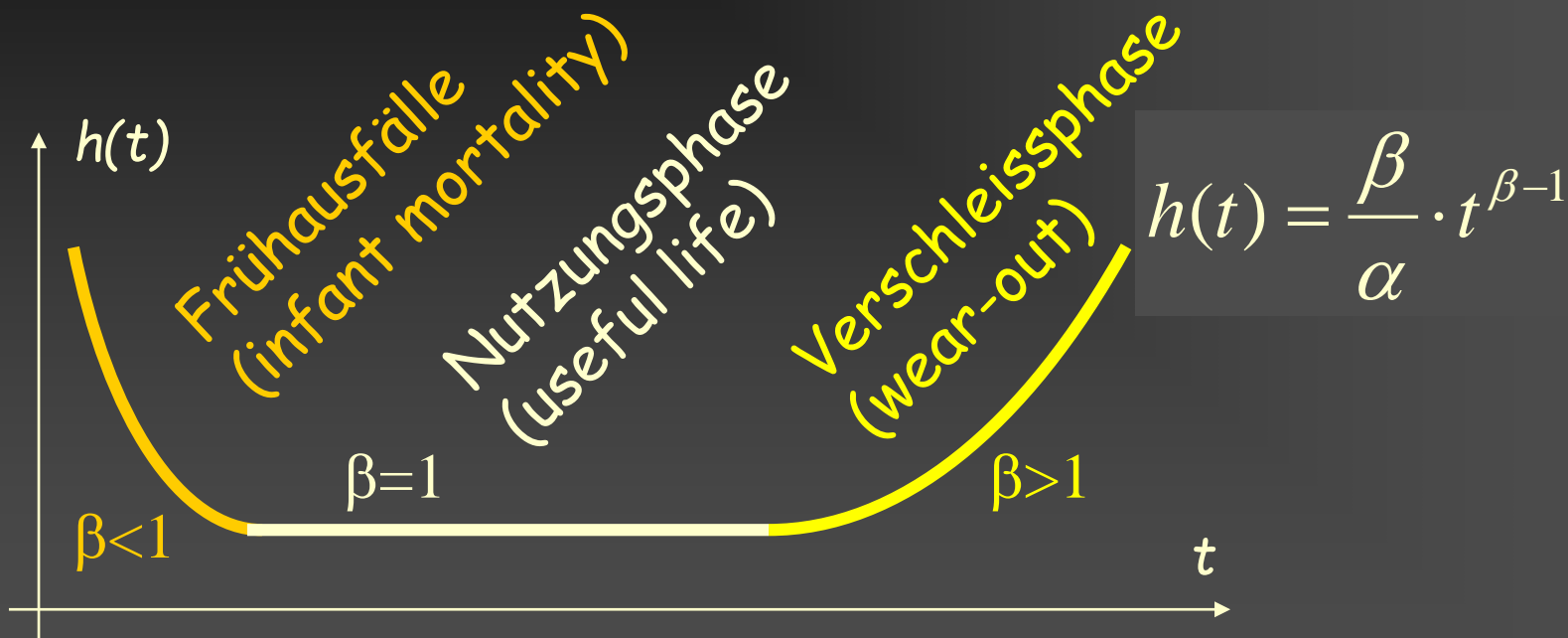


Ein Temperaturanstieg von 100 auf 150°C erhöht die Fehler-rate fast auf das 5000-fache !

Quelle: Texas Instruments

# Die „Badewannenkurve“

Wahrscheinlichkeit  $h(t)$  dass ein Produkt bis zum Zeitpunkt  $t$  gut funktioniert und exakt dann ausfällt, gehorcht der sog. „Weibull-Verteilung“



# Burn-in



- ▶ Gemäß der Arrhenius-Gleichung treten bei erhöhter Temperatur latente Fehlermechanismen schneller zutage.
- ▶ Gleiches gilt für andere „Stress-bedingungen“ wie z.B. hohe Versorgungsspannung.
- ▶ Mittels Burn-in (= Testen unter hohem Stress) kann man daher das Auftreten der infant mortality beschleunigen („künstliche Alterung“) und gelangt rasch zur Nutzungsphase („Boden der Badewanne“).



# Künstliche Alterung

Äquivalentes Alter = **Acceler. Factor** x Testdauer

Temperature Acceleration Factor

$$AF_T = \exp\left(\frac{E_{act}}{k \cdot T_{normal}} - \frac{E_{act}}{k \cdot T_{stress}}\right) \times$$

Voltage Acceleration Factor

$$AF_V = \exp[\gamma \cdot (U_{stress} - U_{normal})]$$

# Beispiel zum Burn-in

Ein Chip wird beim Burn-in 96 Stunden (= 4 Tage) lang bei  $T_j = 130^\circ\text{C}$  und 6V betrieben. Welcher Betriebsdauer entspricht das bei  $T_j = 70^\circ\text{C}$  und 5V?

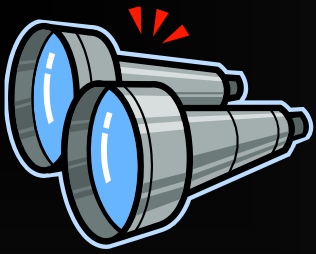
( $k = 8,6 \cdot 10^{-5} \text{eV/K}$ ;  $E_{act} = 0,7 \text{eV}$ ;  $\gamma = 3.2 \text{V}^{-1}$ )

$$AF_T = \exp\left(\frac{E_{act}}{k \cdot T_{normal}} - \frac{E_{act}}{k \cdot T_{stress}}\right) \approx 34,2$$

$$AF_V = \exp[\gamma \cdot (U_{stress} - U_{normal})] \approx 24,5$$

$$AF \approx 838$$

Der Test entspricht einer Betriebsdauer von 80.000 Stunden, das sind mehr als 9 Jahre.



# Überblick

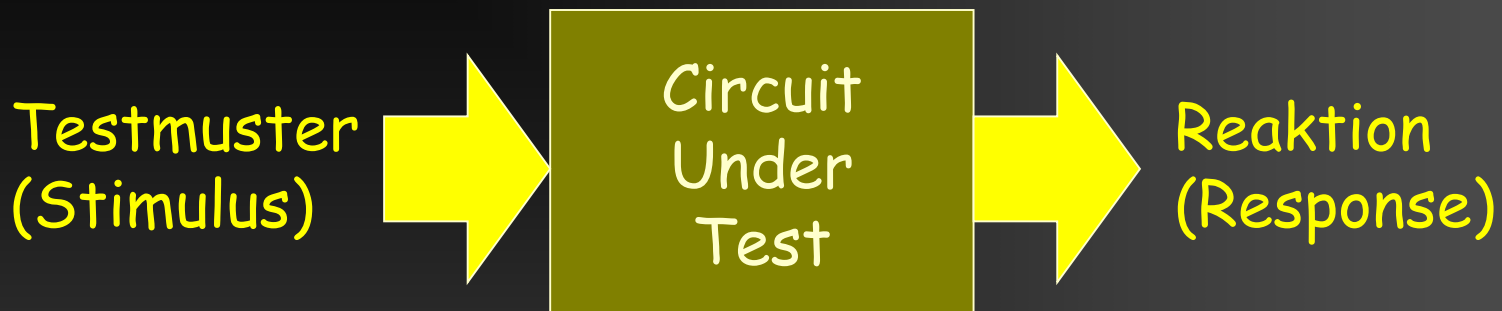
- ▶ Klassifikation der Ausfallmechanismen
- ▶ Wichtigste Ausfallursachen im Betrieb
  - Gate-oxid wear-out
  - Elektromigration
  - Electrostatic Discharge
- ▶ Welche Faktoren begünstigen den Ausfall?
- ▶ Die Badewannenkurve & Burn-in
- ▶ Fehlermanifestation & Test

# Fehlermanifestation



- ▶ **Kontaktprobleme**  
Unterbrechung, hoher Widerstand, Wackelkontakt
- ▶ **Isolationsprobleme**  
Kurzschluss, ungewollt niederohmige Verbindung
- ▶ **Parametrische Fehler**  
hohe Leckströme/Leistung, Schwellwertverschiebung
- ▶ **Dynamische Fehler**  
reduzierte Geschwindigkeit
- ▶ **Speicherfehler**  
„Bit-Flips“

# Prinzip des Testens



Auf logischer Ebene wird die Reaktion des Testobjekts („Circuit under Test“) auf einen Stimulus überprüft.

- ▶ Entspricht diese den Erwartungen (= der Spezifikation) => Test bestanden („pass“),
- ▶ anderenfalls => Testobjekt ist defekt („fail“)

# Fault Mapping



Defekte  
treten in der  
physikalischen  
Domäne  
auf

Der  
Test  
überprüft die  
logische  
Funktion



Wie bilden sich Defekte auf die logische Funktion ab?

# Physikalisches Beispiel /1

F1: Kurzschluß Metallisierung  
n1 an VSS

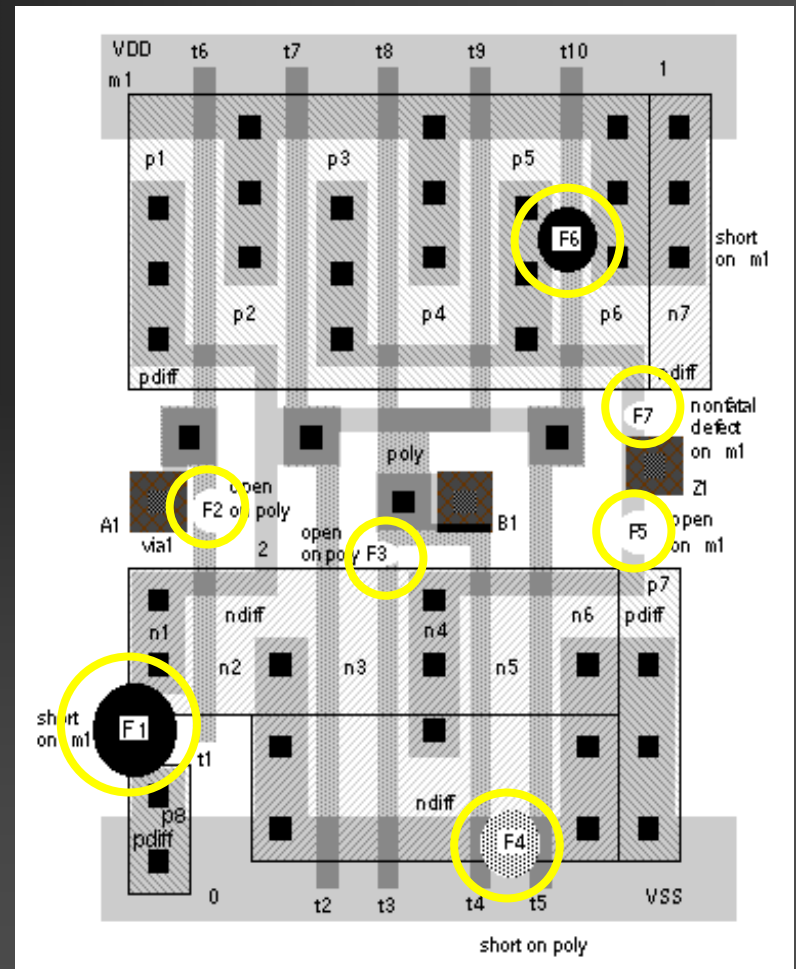
F2 & F3: Unterbrechung Poly  
T1.G floatet & T3.G floatet

F4: Kurzschluß Poly  
T4.G und T5.G verbunden

F5: Unterbrechung Metallisierung  
n4 nicht mehr am Ausgang

F6: Kurzschluß Metallisierung  
p5 und p6 verbunden

F7: Einschnürung Metallisierung  
p-Stack noch am Ausgang



# Physikalisches Beispiel /2

F1: Kurzschluß Metallisierung  
*n1 an VSS*

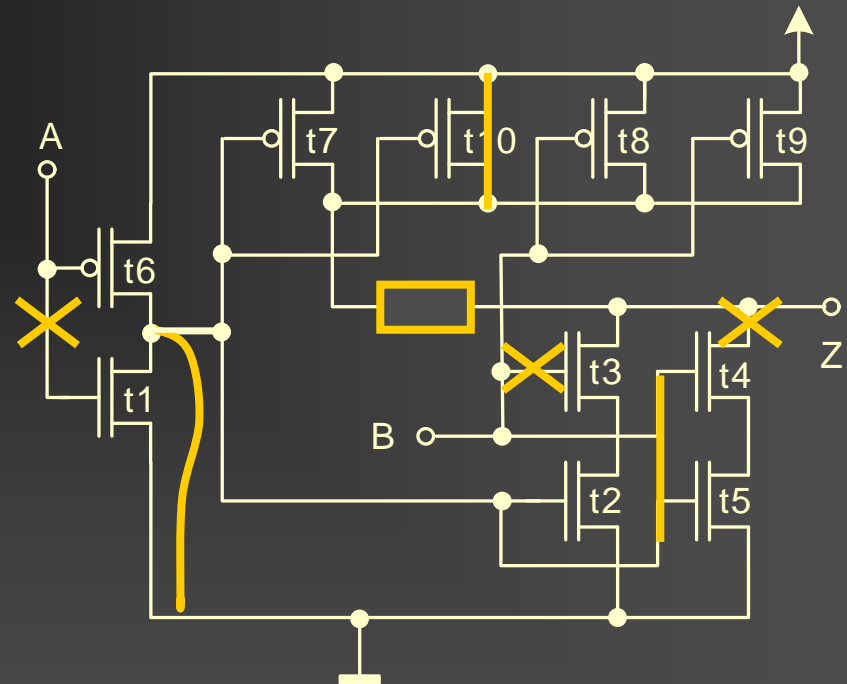
F2 & F3: Unterbrechung Poly  
*T1.G floatet & T3.G floatet*

F4: Kurzschluß Poly  
*T4.G und T5.G verbunden*

F5: Unterbrechung Metallisierung  
*n4 nicht mehr am Ausgang*

F6: Kurzschluß Metallisierung  
*p5 und p6 verbunden*

F7: Einschnürung Metallisierung  
*p-Stack noch am Ausgang*







# Das „Stuck-at“ Fehlermodell



## Annahmen:

- ▶ alle (!) Fehler wirken sich logisch als eine von folgenden zwei Alternativen aus
  - „Festsitzen“ eines Knotens auf ‘1’:  
**stuck-at-1 (SA1)**
  - „Festsitzen“ eines Knotens auf ‘0’:  
**stuck-at-0 (SA0)**
- ▶ es gibt nur einen einzelnen Fehler  
„*single* stuck-at-Modell (SSF)“

# Das SSF im physikal. Beispiel

- ✓ **F1:** n1 SA0 = Eingang A1 SA1
- ? **F2:** n1 (wahrscheinlich) SA1 = Eingang A1 SA0
- ☹ **F3:** pull-down-Stack halbiert  
=> doppelte fall-time = **Delay fault**
- ☹ **F4:** „bridging fault“,  
Auswirkung abh. von relativen Treiberstärken
- ☹ **F5:** wie F3
- ✓ **F6:** p5 SA1 = **Ausgang Z SA1**
- ? **F7:** Kandidat für **burn-in**: Elektromigration =>  
pull-up-Stack abgetrennt => **Ausgang Z SA0**

# Bewertung des SSF



- ▶ Das SSF ist nur für einen kleinen Teil der in der Praxis auftretenden Fehler zutreffend, aber:
- ▶ Die Berücksichtigung von Mehrfachfehlern, und anderen Fehlertypen (z.B. „stuck-at open“) wäre realistischer, ist aber wesentlich komplizierter
- ▶ In der Praxis hat sich gezeigt, daß das SSF „nebenbei“ weitaus mehr Fehler aufdeckt als nur „stuck-at“-Faults
- ▶ Das Single stuck-at-0/1-Modell hat sich in der Praxis sehr bewährt und wird wegen seines guten Kosten/Nutzen-Verhältnisses gern verwendet



# Zusammenfassung (1)

- ▶ Fehlerquellen sind über den gesamten Lebenszyklus eines Chips verteilt: vom Design über die Fertigung und Inbetriebnahme bis zur Applikation.
- ▶ Designfehler werden durch Simulation entdeckt.
- ▶ Ursachen von Defekten bei der Fertigung liegen in Wafer-Material, Lithographie, Entwicklung & Ätzen (Verunreinigungen), Bonding, Packaging,...
- ▶ Die **Badewannenkurve** beschreibt die Verteilung der Ausfälle über die Betriebszeit: Nach einer hohen Ausfallrate zu Beginn (**infant mortality**) folgt eine Periode mit konstanter, niedriger Ausfallrate (**useful life**), danach steigt die Ausfallrate stark an (**wear-out**).



# Zusammenfassung (2)

- ▶ Häufigste Ursachen für Defekte im Betrieb sind Gate-Oxide-Breakdown, Electromigration und Electrical Overstress.
- ▶ Beim **Gate-Oxide-Breakdown** bilden Störstellen in der extrem dünnen Isolationsschicht des Gate-Oxid einen leitenden Pfad. Solche Störstellen entstehen z.B. durch unreines Material bzw. durch Beanspruchung durch hohe Felder.
- ▶ **Electromigration** ist die Verschiebung von Material durch einen Elektronenwind, der sich bei extrem hoher Stromdichte bildet.
- ▶ Gemäß **Black's Law** sinkt die MTTF quadratisch mit d. Stromdichte und exponentiell mit d. Temperatur



# Zusammenfassung (3)

- ▶ **Electrical Overstress** ist eine Überbeanspruchung durch zu hohe Spannungen, wie z.B. Spannungsspitzen bzw. Blitzschläge.
- ▶ Hohe Temperatur, Temperaturzyklen sowie hohe Spannungen und Ströme wirken sich negativ auf die Lebensdauer eines Chips aus. Ebenso kann unsachgemäßes Handling zur Zerstörung führen (ESD).
- ▶ Der Einfluss der Temperatur auf die Lebenserwartung eines Chips wird durch die **Arrhenius-Gleichung** beschrieben: Temperaturerhöhung bewirkt ein exponentielles Ansteigen der Fehlerrate.



# Zusammenfassung (4)

- ▶ Beim **Burn-in** versucht man die Phase der infant mortality durch Temperaturzyklen noch vor der Auslieferung zu überwinden.
- ▶ Physikalische Defekte können sich in verschiedenster Weise auf die logische Funktion eines Chips auswirken. Typische Manifestationen sind **Kontaktprobleme, Isolationsprobleme, parametrische Fehler, dynamische Fehler und Speicherfehler**.
- ▶ Das **Stuck-at Fehlermodell** nimmt als Fehlermanifestation an, dass ein Schaltungsknoten auf einem bestimmten Logikpegel „festsitzt“. Dieses Modell trifft zwar selten wirklich zu, hat sich in der praktischen Anwendung jedoch bewährt.