

Vorlesungsprüfung aus Digitales Design

2. Juni 2015

Die Arbeitszeit beträgt 1,5 Stunden. Als Hilfsmittel sind ausnahmslos Schreibzeug, Lineal und (nicht programmierbarer) Taschenrechner erlaubt. Schreiben Sie Ihre Antworten und Lösungen (inkl. Lösungsweg!) mit Füllfeder oder Kugelschreiber (nicht rot, KEIN Bleistift!) und streichen Sie alles durch, was nicht zur Beurteilung herangezogen werden soll. Ein Abbruch der Prüfung nach Erhalt der Angaben führt in jedem Fall zu einer Beurteilung.

Tragen Sie Namen, Kennzahl und Matrikelnummer **zu Beginn** der Prüfung in die Tabelle ein und beschriften Sie jedes Blatt, das Sie abgeben möchten rechts oben mit Namen und Matrikelnummer.

Familienname:	Vorname:
Kennzahl:	Matrikelnummer:

Viel Erfolg!

Die nachfolgende Tabelle nicht beschriften!

Beispiel		Mögliche Punkte	Erhaltene Punkte
Theoriefragen		48	
Rechenbeispiel	1	18	
	2	18	
	3	12	
Gesamt		96	

Theoriefragen

Frage 1:

Nennen Sie 5 Vorteile der Digitalisierung von Signalen bzw. Information!

Frage 2:

Sie wollen ein Logiksignal vom Ausgang eines Gatters G1 (Ausgangswiderstand $R = 100\Omega$) zum Eingang eines Gatters G2 (Eingangskapazität $C = 0,1\text{pF}$) leiten (Leitung ideal). Schätzen Sie ab, welches Delay sich durch die RC-Konstante ergibt!

Frage 3:

Was besagt das Theorem von Shannon? Wo wird es praktisch verwendet?

Frage 4:

Was versteht man unter Bonding?

Frage 5:

Erläutern Sie, wie physikalische Defekte zu dynamischen Fehlern führen können!

Frage 6:

Wozu verwendet man eine Antifuse?

Frage 7:

Was versteht man unter infant mortality?

Frage 8:

Was besagt die „Rule of Ten“?

Beispiel 1

Entwerfen Sie einen 16-bit Pseudo-Zufallsgenerator mit folgenden Schritten:

- (a) Stellen Sie den Aufbau eines 16-bit Schieberegisters aus Flip-Flops dar. Schließen Sie jeweils Takteingang, Dateneingang und Ausgang korrekt an!
- (b) Ergänzen Sie diese Schaltung geeignet zu einem LFSR mit dem Polynom
$$X^{16} = X^8 \oplus X^4 \oplus X^3 \oplus X^0$$
(Hinweis: verwenden Sie einen Block namens „odd Parity“ bzw. „even Parity“ für die Realisierung eines XOR mit mehr als 2 Eingängen)
- (c) Stellen Sie dar, wo man die Zufallszahl abgreifen kann
- (d) Was ist der Unterschied zwischen diesem Pseudo-Zufallsgenerator und einem „echten“ Zufallsgenerator (bezogen auf die gelieferten Zahlenfolgen am Ausgang)?
- (e) Nehmen Sie an, der Generator sei auf den Wert „0110110100111100“ initialisiert. Welchen Wert hat der Ausgang nach 3 Taktzyklen (= aktiven Taktflanken)?

Beispiel 2

Gegeben sei ein CPU-Chip, der nominal bei 5V Versorgungsspannung, 20°C Umgebungstemperatur und 1GHz arbeitet und dabei eine Die-Temperatur von 80°C erreicht. Abbildung 2.1 zeigt eine Näherung für die (kumulative) statistische Verteilung des Delays im kritischen Pfad, wie sie vom Hersteller ermittelt wurde. Wie man erkennt, ist das Design so ausgelegt, dass trotz der fertigungsbedingten Variationen 98% der gefertigten Chips funktionieren. Bei den restlichen 2% seien die Delays im kritischen Pfad (inklusive Setup/hold time) größer als die Periodendauer von 1000ps, sodass Probleme beim Timing auftreten. Diese Chips wurden beim Test ausgeschieden.

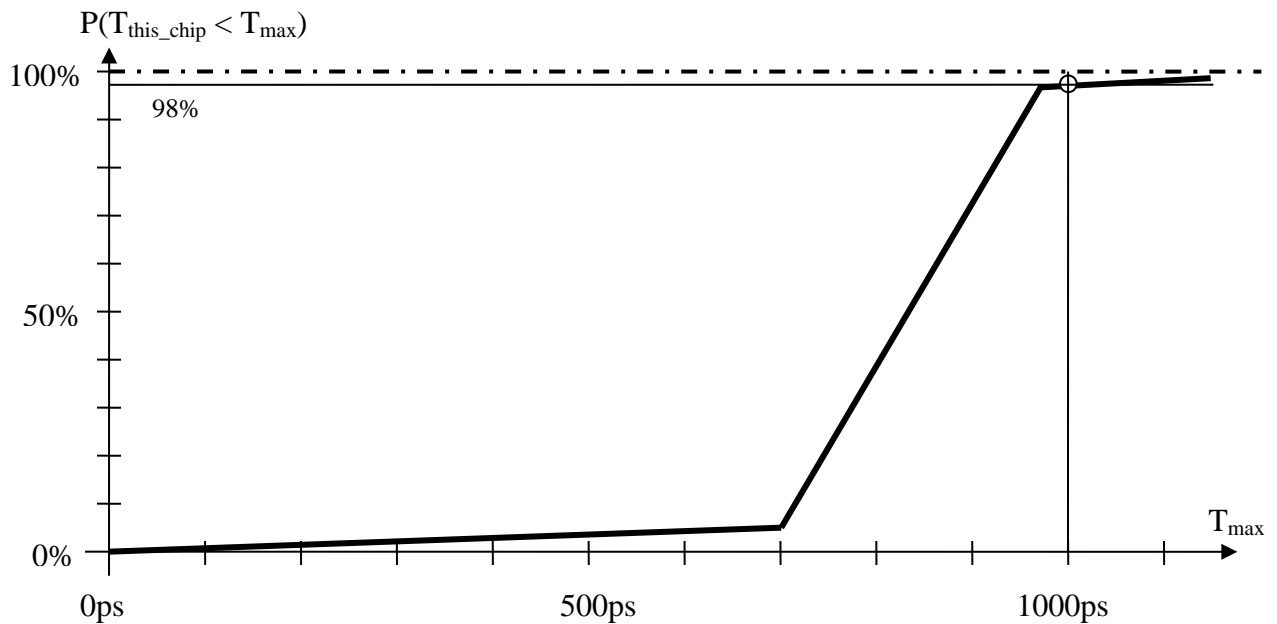


Abbildung 2.1

- Würde man den Chip um 25% höher takten – wie groß wäre dann der zulässige Delay? Wie hoch wäre damit nach Abbildung 2.1 der Prozentsatz der auszuschneidenden Chips?
- Angenommen Sie kaufen einen Chip, der bei nominalen Bedingungen den Test bestanden hat und möchten ihn bei 1,25GHz betreiben. Wie hoch ist Ihre Chance, dass der Chip bei diesem Overclocking funktioniert? Hinweis: Gehen sie von 1000 gefertigten Chips aus und überlegen Sie, wie viele davon verkauft wurden bzw. wie viele davon wiederum bei Overclocking funktionieren und berechnen Sie daraus geeignet die Wahrscheinlichkeit.
- Wie hoch wird die Die-Temperatur bei 1,25GHz? (Nehmen Sie an, dass dynamische Ströme die Verlustleistung dominieren).
- Angenommen der Chip hatte bei nominalen Bedingungen eine MTTF von 10 Jahren. Welche MTTF hat der Chip daher bei 1,25GHz? ($k = 8,6 \cdot 10^{-5} \text{eV/K}$; $E_{act} = 0,7 \text{eV}$)
- Die Erwärmung wirkt sich auch auf den Delay im kritischen Pfad aus. Ermitteln Sie anhand der Derating-Factors laut der folgenden Tabelle den genauen (relativen) Wert dieser Änderung!

T_{junction}	70°C	75°C	80°C	85°C	90°C	95°C	100°C	105°C	110°C
rel. Delay	0,94	0,97	1,00	1,03	1,06	1,09	1,13	1,16	1,19

- Welchen Delay muss ein Chip unter nominalen Bedingungen gehabt haben, damit er trotz der Erwärmung noch bei 1,25GHz funktioniert? Wie hoch ist daher nun – unter

Berücksichtigung der Erwärmung – Ihre Chance, dass ein gekaufter funktionierender Chip auch bei Overclocking funktioniert?

Beispiel 3

Gegeben ist die Schaltung in Abbildung 2.1. Arbeiten Sie mit dem single-Stuck-at-Fehlermodell.

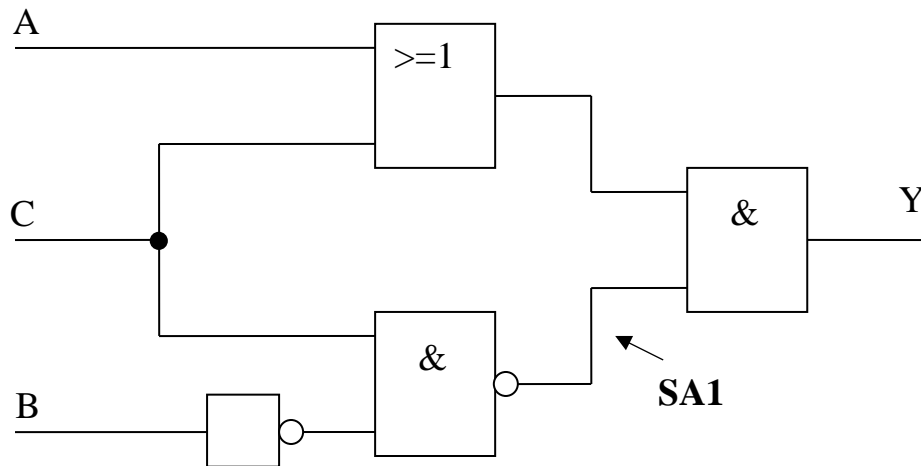


Abbildung 2.1

- Welche Grundfunktion erfüllt diese Schaltung ?
- Wie viele Testvektoren benötigen Sie für einen Exhaustive Test dieser Schaltung?
Geben Sie die Vektoren an!
- In Abbildung 2.1 ist ein Knoten mit „SA1“ gekennzeichnet. Ermitteln Sie alle Testvektoren die geeignet sind, diesen Fehler zu entdecken. Bezeichnen Sie die dazu nötigen Schritte.
- Zeigen Sie in der Schaltung ein Beispiel für Fehleräquivalenz!
- Zeigen Sie in der Schaltung ein Beispiel für Fehlerdominanz!

Beispiel 4

Gegeben ist die in Abbildung 2.1 dargestellte Schaltung mit 100MHz Takt. Ein asynchrones Eingangssignal mit 20MHz liegt am Eingang von Flip-Flop *FF1*. Der Ausgang von *FF1* geht über kombinatorische Logik *COMB* an den Eingang von Flip-Flop *FF2*. Die Verzögerungszeit der kombinatorischen Logik beträgt $t_{PD} = 2,5\text{ns}$. Laut Datenblatt haben die beiden Flip-Flops folgende Parameter:

$$t_{SU} = 1\text{ns} ; \quad \tau_C = 0,2\text{ns} ; \quad T_0 = 0,1\text{ns} .$$

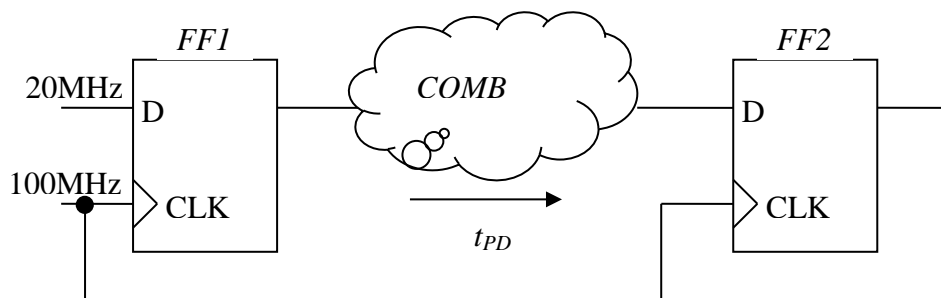


Abbildung 2.1: Kombinatorische Funktion mit synchronisierten Ein- und Ausgängen

(a) Welche MTBU ist bei diesen Nominalwerten zu erwarten?

Die dargestellte Schaltung ist Teil eines größeren Chip-Designs. Zur Erhöhung der Testbarkeit des Chips wird ein Scan-Test eingeführt (full scan).

(b) Wie muss die dargestellte Schaltung ergänzt werden, um einen full Scan zu unterstützen (zeichnen Sie Ihren Vorschlag in Abbildung 2.1 ein)?

(c) Nehmen Sie an, jedes zusätzlich in den Datenpfad eingefügte Schaltungselement verursache ein zusätzliches Delay von 2,5ns. Welche MTBU ergibt sich dann für die erweiterte Schaltung?

(d) Wie weit müssten Sie die Taktfrequenz reduzieren, um wieder die ursprüngliche MTBU zu erreichen? (Hinweis: Es genügt, wenn Sie den dominanten Term berücksichtigen)